

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11055082 A**(43) Date of publication of application: **26.02.99**

(51) Int. Cl.

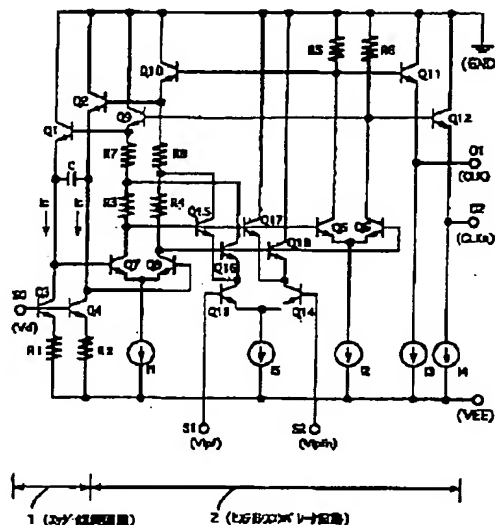
H03K 3/282**H03K 5/08****H03L 7/099**(21) Application number: **09224469**(22) Date of filing: **07.08.97**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **KISHINE KEIJI
ICHINO HARUHIKO
ISHIHARA NOBORU****(54) VOLTAGE CONTROLLED OSCILLATOR AND PLL
CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To expand the oscillation frequency range of a voltage controlled oscillator(VCO) circuit.

SOLUTION: This VCO circuit is composed of an edge inclining circuit 1 where a 1st control signal V_d is applied and a hysteresis comparator circuit 2. In this case, sections (Q13-Q18, R7 and R8) are provided for controlling the output signal amplitude of a 1st differential pair (Q7 and Q8) in the hysteresis comparator circuit 2 and these sections are controlled by 2nd control signals (V_{ipf} and V_{ipfn}).

COPYRIGHT: (C)1999,JPO



【書類名】 特許願

【整理番号】 N T T H 0 9 5 8 3 2

【提出日】 平成 9 年 8 月 7 日

【あて先】 特許庁長官 殿

【国際特許分類】 H 0 3 K 3 / 0 0

【発明の名称】 電圧制御発振器及び P L L 回路

【請求項の数】 5

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 1 9 番 2 号 日本電信電話株式会社内

【氏名】 岸根 桂路

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 1 9 番 2 号 日本電信電話株式会社内

【氏名】 市野 晴彦

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 1 9 番 2 号 日本電信電話株式会社内

【氏名】 石原 昇

【特許出願人】

【識別番号】 0 0 0 0 0 4 2 2 6

【郵便番号】 1 6 3 - 1 9

【住所又は居所】 東京都新宿区西新宿三丁目 1 9 番 2 号

【氏名又は名称】 日本電信電話株式会社

【代表者】 宮津 純一郎

【代理人】

【識別番号】 1 0 0 0 8 3 1 9 4

【郵便番号】 1 6 0

【住所又は居所】 東京都新宿区四谷 3 丁目 1 3 番 7 号 三栄ビル 3 階

【弁理士】

【氏名又は名称】 長尾 常明

【電話番号】 03 (3352) 2421

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 050681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 要約書 1

【物件名】 図面 1

【包括委任状番号】 9701419

【書類名】 明細書

【発明の名称】 電圧制御発振器及びPLL回路

【特許請求の範囲】

【請求項1】

入力信号の立ち上がり及び立ち下がり遅延を遅らせて出力しかつ外部から入力する第1の制御信号により内部の容量の充電電流を制御可能にしたエッジ傾斜回路と、該エッジ傾斜回路の出力信号を入力してその立ち上がり及び立ち下がり急峻に再生して前記エッジ傾斜回路に正帰還させるヒステリシスコンパレータ回路とを具備し、前記第1の制御信号により発振周波数を変化させる電圧制御発振器において、

前記ヒステリシスコンパレータ回路に、外部から入力する第2の制御信号により信号振幅を制御する振幅制御手段を設け、前記第2の制御信号によっても発振周波数を変化させ得るようにしたことを特徴とする電圧制御発振器。

【請求項2】

前記請求項1のヒステリシスコンパレータ回路は、

前記エッジ傾斜回路の出力信号を入力する第1の差動回路と、該第1の差動回路の出力信号を入力し、発生した出力信号を発振出力信号とする第2の差動回路と、該第2の差動回路の出力信号を前記第1の差動回路の出力側及び前記エッジ傾斜回路に正帰還させる帰還回路と、前記第2の制御信号により前記第1の差動回路の出力振幅を制御する前記振幅制御手段としての第3の差動回路とを具備することを特徴とする電圧制御発振器。

【請求項3】

前記請求項1のヒステリシスコンパレータ回路は、

前記エッジ傾斜回路の出力信号を入力する第1の差動回路と、該第1の差動回路の出力信号を入力して前記第1の差動回路の出力側に正帰還する第2の差動回路と、前記第1の差動回路の出力信号を入力し、発生した出力信号を発振出力信号とすると共に前記エッジ傾斜回路に正帰還させる第4の差動回路と、前記第2の制御信号により前記第1の差動回路の出力振幅を制御する前記振幅制御手段と

しての第3の差動回路とを具備することを特徴とする電圧制御発振器。

【請求項4】

入力信号と出力信号の位相を比較しその位相差に応じた信号を出力する位相比較器、該位相比較器の出力信号から高周波成分を除去するローパスフィルタ、該ローパスフィルタの出力電圧を入力して発振動作を行い出力を前記位相比較器に入力させる電圧制御発振器とを具備するPLL回路において、

前記電圧制御発振器として前記請求項1乃至3に記載の電圧制御発振器を使用し、かつ前記ローパスフィルタの出力電圧を前記第2の制御信号として前記電圧制御発振器に入力し、前記第1の制御信号を外部入力信号とすることを特徴とするPLL回路。

【請求項5】

入力信号と出力信号の位相を比較しその位相差に応じた信号を出力する位相比較器、該位相比較器の出力信号から高周波成分を除去するローパスフィルタ、該ローパスフィルタの出力電圧を入力して発振動作を行い出力を前記位相比較器に入力させる電圧制御発振器とを具備するPLL回路において、

前記電圧制御発振器として前記請求項1乃至3に記載の電圧制御発振器を使用し、かつ前記ローパスフィルタの出力電圧を前記第1の制御信号として前記電圧制御発振器に入力し、前記第2の制御信号を外部入力信号とすることを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発振可能周波数範囲の広帯域化を図った電圧制御発振器及びその電圧制御発振器を利用してキャプチャレンジの広帯域化を図ったPLL（位相同期ループ）回路に関するものである。

【0002】

【従来の技術】

図5は従来の電圧制御発振器（以下、「VCO回路」と呼ぶ。）の構成を示す回路図である。このVCO回路は、エッジ傾斜回路1とヒステリシスコンパレー

タ回路 2" とから構成され、出力端子 O_1 、 O_2 から 2 相の発振信号 CLK、CLK_n が出力される。エッジ傾斜回路 1 は、正帰還信号入力用のトランジスタ Q_1 、 Q_2 、発振周波数制御用の電流源トランジスタ Q_3 、 Q_4 、エミッタ抵抗 R_1 、 R_2 、容量 C から構成され、制御端子 S_0 に印加する制御信号（第 1 の制御信号）によってトランジスタ Q_3 、 Q_4 のコレクタ電流（容量 C の充電電流）が制御されるようになっている。

【0003】

また、ヒステリシスコンパレータ回路 2" は、エッジ傾斜回路 1 のトランジスタ Q_3 、 Q_4 の出力信号を入力して増幅する第 1 の ECL（エミッタ結合論理回路）差動対トランジスタ Q_7 、 Q_8 、その第 1 の差動対（ Q_7 、 Q_8 ）の出力を入力して増幅する第 2 の ECL 差動対トランジスタ Q_5 、 Q_6 、その第 2 の差動対（ Q_5 、 Q_6 ）の出力信号を入力して第 1 の差動対（ Q_7 、 Q_8 ）の出力側に正帰還すると共に、エッジ傾斜回路 1 のトランジスタ Q_1 、 Q_2 に正帰還させる正帰還用トランジスタ Q_9 、 Q_{10} を有する。 R_3 、 R_4 は第 1 の差動対（ Q_7 、 Q_8 ）の負荷抵抗、 R_5 、 R_6 は第 2 の差動対（ Q_5 、 Q_6 ）の負荷抵抗である。 Q_{11} 、 Q_{12} は第 2 の差動対（ Q_5 、 Q_6 ）の出力側に得られる信号をレベルシフトして出力端子 O_1 、 O_2 に出力するためのレベルシフト用トランジスタ、 $I_1 \sim I_4$ は電流源である。また、最上位側の電源電圧はグランド（GND）、 V_{EE} は負側の電源電圧である。

【0004】

この VCO 回路は、ヒステリシスコンパレータ回路 2" からエッジ傾斜回路 1 のトランジスタ Q_1 、 Q_2 に入力した信号の立ち上がり及び立ち下がりを傾斜させ（長くし）、その出力信号をヒステリシスコンパレータ回路 2" のトランジスタ Q_7 、 Q_8 に入力してそのエッジを急峻にして再生し、トランジスタ Q_5 、 Q_6 のコレクタに得られる出力信号をエッジ傾斜回路 1 のトランジスタ Q_1 、 Q_2 のベースに正帰還させ、以上のループにより発振させるものである。

【0005】

この VCO 回路の発振周波数は、容量 C に対する充電電流 I_c [A] を、制御端子 S_0 に印加する制御電圧 V_d [V] で制御することで決定される。この制御

電圧 V_d に比例する領域での発振周波数 f [Hz] は、近似的に次の式で表される。

$$\begin{aligned} f &= g_m \cdot V_d / (4 V_c \cdot C) \\ &= K_d \cdot V_d \end{aligned} \quad \dots (1)$$

ここで、 $K_d = g_m / (4 V_c \cdot C)$ である。また g_m は相互コンダクタンス [A/V]、 V_c はトランジスタのオン電圧およびヒステリシスコンパレータ回路 2" のヒステリシス量で決まる定数である。

【0006】

この VCO 回路の発信周波数 f の最大値は、制御電圧 V_d の最大値で決まる。ここで、制御電圧 V_d の最大値を V_{dmax} として、VCO 回路の最大発振周波数 f_{max} [Hz] を求めると、

$$f_{max} = K_d \cdot V_{dmax} \quad \dots (2)$$

となる。一方、制御電圧 V_d が十分小さくなると、充電電流 I_c の電流パスがトランジスタ Q7, Q8 のみとなるので、このときの発振周波数 f は制御電圧 V_d に依存せず一定の値となり、その発振周波数は f_{min} となる。

【0007】

図 6 に上記した VCO 回路の変換利得特性を示した。この図 6 より、VCO 回路の発振可能範囲 f_{rold} [Hz] と中心周波数 f_{cent} [Hz] は、

$$f_{rold} = K_d \cdot V_{dmax} - f_{min} \quad \dots (3)$$

$$f_{cent} = (K_d \cdot V_{dmax} + f_{min}) / 2 \quad \dots (4)$$

となる。

上記より、VCO 回路の発振可能範囲は、式 (4) で決まる周波数を中心として、式 (3) で決まる範囲となる。

【0008】

【発明が解決しようとする課題】

以上のように、従来の VCO 回路では、制御電圧 V_d の可変範囲で決定される周波数範囲以外では発振することができず、その可変発振範囲が制御電圧 V_d の可変範囲で制限されてしまうという問題があった。

【0009】

また、VCO回路を1つの構成要素とするPLL回路は、VCO回路の発振周波数範囲外では引き込み動作は不可能である。ここで、従来のVCO回路をPLL回路に適用する場合には、ローパスフィルタの直流出力信号をこのVCO回路に制御電圧V_dとして入力させることとなるが、PLL回路の引き込み中心周波数およびキャプチャレンジは、式(3)、(4)から決定される周波数範囲外では不可能となる。すなわち、このVCO回路をPLL回路に適用したとき、図6の発振可能範囲(f_{rold})外の周波数を有する入力信号には同期できないという問題があった。

【0010】

本発明は以上のような点に鑑みてなされたもので、その目的は、発振可能周波数範囲の広帯域化を図った電圧制御発振器及びその電圧制御発振器を利用してキャプチャレンジの広帯域化を図ったPLL回路を提供することである。

【0011】

【課題を解決するための手段】

上記目的を達成するための第1の発明は、入力信号の立ち上がり及び立ち下がり遅延を遅らせて出力しかつ外部から入力する第1の制御信号により内部の容量の充電電流を制御可能にしたエッジ傾斜回路と、該エッジ傾斜回路の出力信号を入力してその立ち上がり及び立ち下がり遅延を急峻に再生して前記エッジ傾斜回路に正帰還させるヒステリシスコンパレータ回路とを具備し、前記第1の制御信号により発振周波数を変化させる電圧制御発振器において、前記ヒステリシスコンパレータ回路に、外部から入力する第2の制御信号により信号振幅を制御する振幅制御手段を設け、前記第2の制御信号によっても発振周波数を変化させ得るように構成した。

第2の発明は、第1の発明において、前記ヒステリシスコンパレータ回路が、前記エッジ傾斜回路の出力信号を入力する第1の差動回路と、該第1の差動回路の出力信号を入力し、発生した出力信号を発振出力信号とする第2の差動回路と、該第2の差動回路の出力信号を前記第1の差動回路の出力側及び前記エッジ傾斜回路に正帰還させる帰還回路と、前記第2の制御信号により前記第1の差動回路の出力振幅を制御する前記振幅制御手段としての第3の差動回路とを具備する

よう構成した。

第3の発明は、第1の発明において、前記ヒステリシスコンパレータ回路が、前記エッジ傾斜回路の出力信号を入力する第1の差動回路と、該第1の差動回路の出力信号を入力して前記第1の差動回路の出力側に正帰還する第2の差動回路と、前記第1の差動回路の出力信号を入力し、発生した出力信号を発振出力信号とすると共に前記エッジ傾斜回路に正帰還させる第4の差動回路と、前記第2の制御信号により前記第1の差動回路の出力振幅を制御する前記振幅制御手段としての第3の差動回路とを具備するよう構成した。

第4の発明は、入力信号と出力信号の位相を比較しその位相差に応じた信号を出力する位相比較器、該位相比較器の出力信号から高周波成分を除去するローパスフィルタ、該ローパスフィルタの出力電圧を入力して発振動作を行い出力を前記位相比較器に入力させる電圧制御発振器とを具備するPLL回路において、前記電圧制御発振器として前記第1乃至3の発明の電圧制御発振器を使用し、かつ前記ローパスフィルタの出力電圧を前記第2の制御信号として前記電圧制御発振器に入力し、前記第1の制御信号を外部入力信号とするよう構成した。

第5の発明は、入力信号と出力信号の位相を比較しその位相差に応じた信号を出力する位相比較器、該位相比較器の出力信号から高周波成分を除去するローパスフィルタ、該ローパスフィルタの出力電圧を入力して発振動作を行い出力を前記位相比較器に入力させる電圧制御発振器とを具備するPLL回路において、前記電圧制御発振器として前記第1乃至3の発明の電圧制御発振器を使用し、かつ前記ローパスフィルタの出力電圧を前記第1の制御信号として前記電圧制御発振器に入力し、前記第2の制御信号を外部入力信号とするよう構成した。

【0012】

【発明の実施の形態】

〔第1の実施の形態〕

図1は本発明の第1の実施の形態のVCO回路の構成を示す図である。図5に示したものと同一のものには同じ符号を付した。ここでは、第3のECL差動対を構成するトランジスタQ13、Q14を設け、その一方のトランジスタQ13のコレクタ側に第5のECL差動対を構成するトランジスタQ15、Q16を接続

し、他方のトランジスタ $Q14$ のコレクタ側に第6のECL差動対を構成するトランジスタ $Q17$ 、 $Q18$ を接続している。また、正帰還用のトランジスタ $Q9$ 、 $Q10$ のエミッタと第1のECL差動対を構成するトランジスタ $Q7$ 、 $Q8$ のコレクタとの間の抵抗 $R3$ 、 $R4$ に対して抵抗 $R7$ 、 $R8$ を直列接続し、抵抗 $R3$ 、 $R7$ の共通接続点、抵抗 $R4$ 、 $R8$ の共通接続点を各々トランジスタ $Q16$ 、 $Q15$ のコレクタに接続している。また、これらトランジスタ $Q15$ 、 $Q17$ のベースはトランジスタ $Q7$ のコレクタに、トランジスタ $Q16$ 、 $Q18$ はトランジスタ $Q8$ のコレクタに接続している。 $S1$ 、 $S2$ は制御端子である。

【0013】

この回路では、第3のECL差動対を構成するトランジスタ $Q13$ 、 $Q14$ のベース電位、つまり制御端子 $S1$ 、 $S2$ の制御電圧（第2の制御信号） V_{lpf} 、 V_{lpfn} （ V_{lpfn} は電圧 V_{lpf} の反転電圧）を制御することで、ヒステリシスコンパレータ回路2内の抵抗 $R3$ 、 $Q7$ 、抵抗 $R4$ 、 $R8$ に発生する電圧の振幅が制御され、ヒステリシスコンパレータ回路2の信号の立ち上がり、立ち下がりの時間が変化して、遅延が制御される。

【0014】

このように、本実施の形態では、外部からヒステリシスコンパレータ回路2の回路遅延を変化させることが可能となり、エッジ傾斜回路1からの入力信号が再びエッジ傾斜回路1に入力されるまでの時間（フィードバックがかかるまでの時間）が制御できる。したがって、発振周波数制御が、制御電圧 V_d （第1の制御信号）のみならず、制御電圧 V_{lpf} 、 V_{lpfn} （第2の制御信号）でも制御可能となる。ここでは、制御電圧 V_{lpf} を大きくする（ V_{lpfn} を小さくする）と、トランジスタ $Q7$ 、 $Q8$ の出力電圧振幅が大きくなり、遅延が大きくなって発振周波数が低くなる。制御電圧 V_{lpf} を小さくすれば逆に発振周波数が高くなる。

【0015】

図7にこの図1のVCO回路の発振周波数の特性を示す。上記の制御電圧 V_{lpf} 、 V_{lpfn} で制御できる周波数範囲を f_{renew} [Hz] とすると、中心周波数は図5に示したVCO回路の発振周波数範囲 f_{rold} 内の周波数で、かつ f_{renew} の範囲まで発振可能なVCO回路を実現できる。すなわち、実質的に周波数範囲が f

renewの周波数範囲の分だけ拡大される。

【0016】

[第2の実施の形態]

図2は本発明の第2の実施の形態のVCO回路の構成を示す図である。図1に示したVCO回路と比較すると、このヒステリシスコンパレータ回路2'は、正帰還用のトランジスタQ9、Q10を削除し、より低電圧での動作が可能となっている。トランジスタQ19、Q20は、第1の差動対(Q7、Q8)で発生した信号を、第4のECL差動対のトランジスタQ21、Q22に送るエミッタホロである。抵抗R9、Q10は図1の抵抗R7、R8に対応する抵抗、R11、R12は第4の差動対(Q21、Q22)の負荷抵抗である。第4の差動対の出力信号がレベルシフト回路(Q11、Q12)に出力され、またエッジ傾斜回路1に正帰還電圧としてフィードバックされる。

【0017】

このように第2の実施の形態は、第2の差動対(Q5、Q6)の出力信号を第1の差動対(Q7、Q8)に正帰還させるルート(ヒステリシスコンパレータ回路の本体部分)と、第1の差動対(Q7、Q8)の出力信号を発振信号として出力させると共にエッジ傾斜回路1に正帰還させるルートとを別ルートとし、これにより図1で必要となっていた正帰還用のトランジスタQ9、Q10を不要にしたものである。なお、発振周波数範囲を拡大できることは、図1のVCO回路と同じである。

【0018】

この結果、図1のVCO回路では電源電圧として $3V_{be}$ (V_{be} はトランジスタのベース・エミッタ間電圧)が必要であったものが、 $2V_{be}$ でも使用可能となり、 V_{be} 分の低電源電圧化が可能となる。この削減電圧は具体的には0.9V程度である。

【0019】

[第3の実施の形態]

図3は本発明の第3の実施の形態のPLL回路の構成を示す図である。11は入力信号(0、1の繰り返しパターン(クロック信号等))と出力信号の位相比

較を行ってその位相差に対応した信号を出力する位相比較器、12は位相比較器11から出力する信号から高周波成分を除去するローパスフィルタ、13はそのローパスフィルタ12の出力信号の利得（ループゲイン）を外部から制御する利得制御回路、14はVCO回路である。

【0020】

本実施の形態では、このVCO回路14として、前記した図1，図2に示したVCO回路を使用する。外部から制御端子S0に第1の制御信号としての制御電圧Vdを与えることにより、PLL回路の自走発振周波数を入力信号の周波数付近に設定し、ローパスフィルタ12の2相の出力信号Vl_{pf}、Vl_{pfn}を利得制御回路13を介して第2の制御信号として制御端子S1，S2に入力することにより、キャプチャレンジの広帯域化が可能である。すなわち、自走発振周波数が図6のVCO回路の発振可能範囲分可変であり、かつ図1，図2で新たに付加した回路による発振周波数可変幅分の引き込み動作が可能となる。このとき、第2の実施の形態のVCO回路を使用する場合は、さらに低電源電圧でのPLL回路を実現できる。

【0021】

なお、ここでは利得制御回路13を挿入しているが、これはジッタ制御（特にジッタトランスファ）用として挿入したものである。PLL回路のジッタ特性を外部から制御したい場合にこのような利得制御回路が必要となる。13aが制御端子である。

【0022】

図4は別の例のPLL回路の構成を示す図であり、21は入力信号（データ）取り込み用のDFF回路、22はリタイミング用のDラッチ回路、23は入力信号とDFF回路21の出力信号の位相比較を行う位相比較器、24はサンプルアンドホールド回路、25はローパスフィルタ、26はループゲイン調整用の利得制御回路、27はVCO回路、28は90度遅延回路、29はEXOR回路である。

【0023】

この回路では、入力信号としてランダムデータ（PNパターン等）が入力し、

その中からクロック信号を抽出したり、またこのクロック信号を使用して入力信号のリタイミングを行う（参考：N. Ishihara, et al: "A Monolithic 156Mb/t Clock and Data Recovery PLL Circuit Using the Sample and-Hold Technique", IEEE J. SC vol. 29, No. 12, Dec. 1994, pp. 1566-1571）。

【 0 0 2 4 】

なお、上記図 3、図 4 の構成では、上記説明と反対に、VCO 回路 14, 27 の制御端子 S0 に利得制御回路 13, 26 の出力を第 1 の制御信号として入力させ、制御端子 S1, S2 に外部からの制御電圧を第 2 の制御信号として入力させるようにすることもできる。

【 0 0 2 5 】

【発明の効果】

以上から第 1 乃至第 3 の発明によれば、エッジ傾斜回路を第 1 の制御信号によって制御して発振周波数を制御する以外に、ヒステリシスコンパレータ回路の信号振幅を第 2 の制御信号によって制御して発振周波数を制御することができるので、周波数可変範囲を広帯域化することが可能となる。また、第 3 の発明によれば、電源電圧の低電圧化を実現することができる。更に、第 4、第 5 の発明によれば、PLL 回路のキャプチャレンジを広帯域化することが可能となる。

【図面の簡単な説明】

- 【図 1】 第 1 の実施の形態の電圧制御発振回路の回路図である。
- 【図 2】 第 2 の実施の形態の電圧制御発振回路の回路図である。
- 【図 3】 第 3 の実施の形態の PLL 回路の回路図である。
- 【図 4】 第 3 の実施の形態の変形例の PLL 回路の回路図である。
- 【図 5】 従来の電圧制御発振回路の回路図である。
- 【図 6】 図 5 の電圧制御発振回路の発振特性図である。
- 【図 7】 第 1, 第 2 の実施の形態の電圧制御発振回路の発振特性図である。

【符号の説明】

1 : エッジ傾斜回路、2, 2' 2" : ヒステリシスコンパレータ回路。

【書類名】 要約書

【要約】

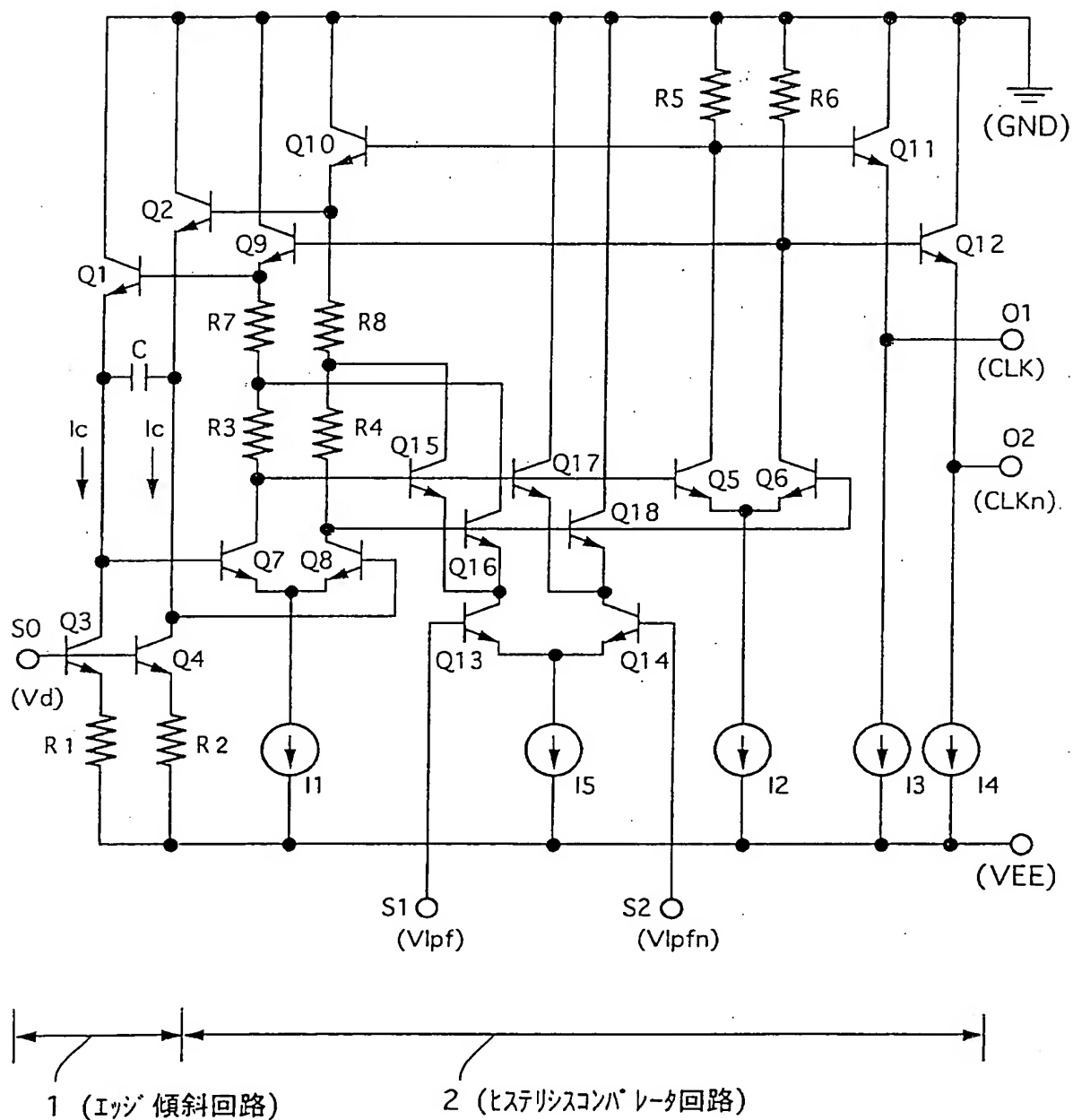
【課題】 VCO回路の発振周波数範囲を拡大する。

【解決手段】 第1の制御信号V_dが印加するエッジ傾斜回路1とヒステリシスコンパレータ回路2とからなるVCO回路において、ヒステリシスコンパレータ回路2の第1の差動対(Q₇, Q₈)の出力信号振幅を制御する部分(Q₁₃～Q₁₈, R₇, R₈)を設け、これを第2の制御信号(V_{lpf}、V_{lpfn})で制御する。

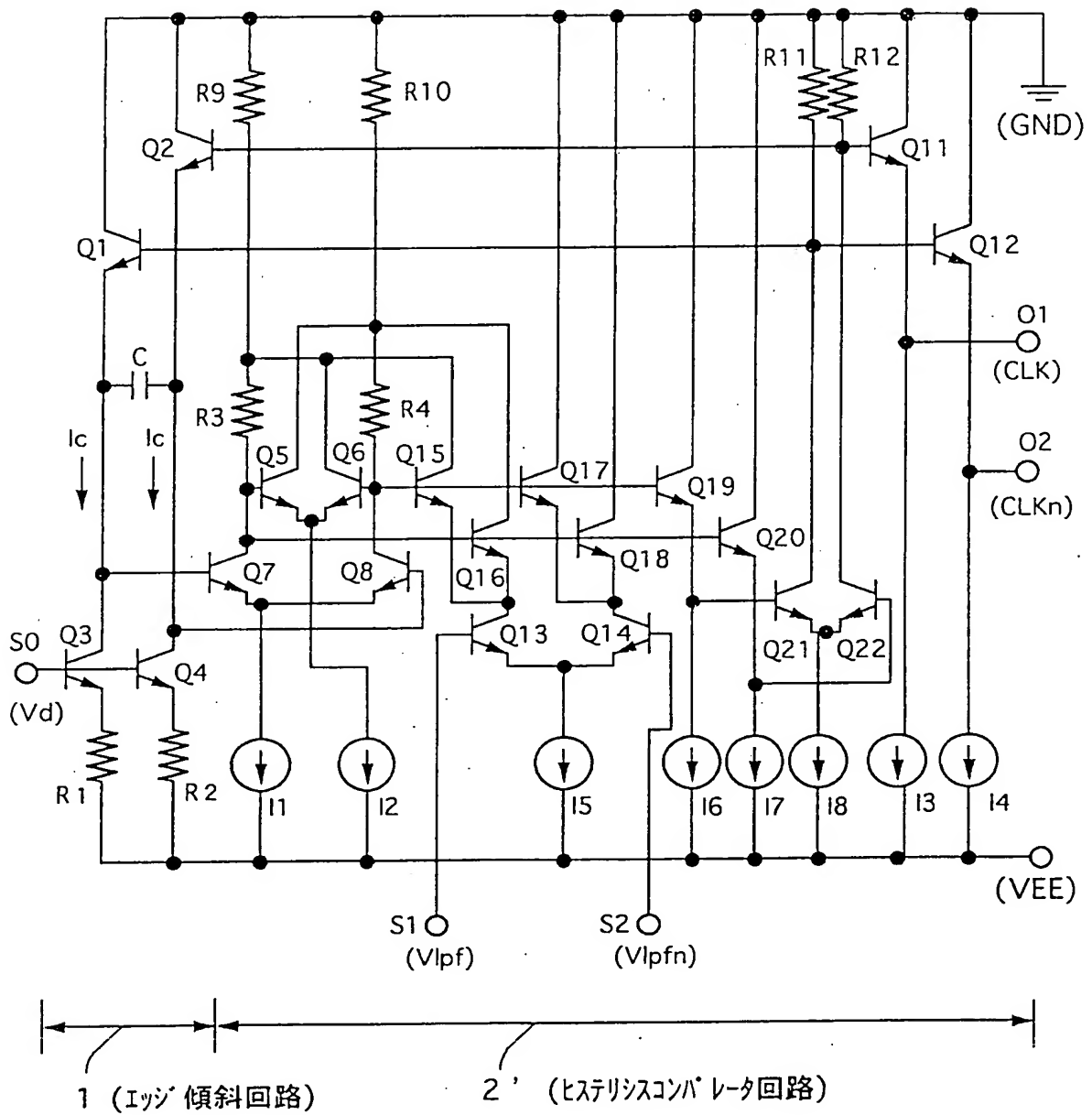
【選択図】 図1

【書類名】 図面

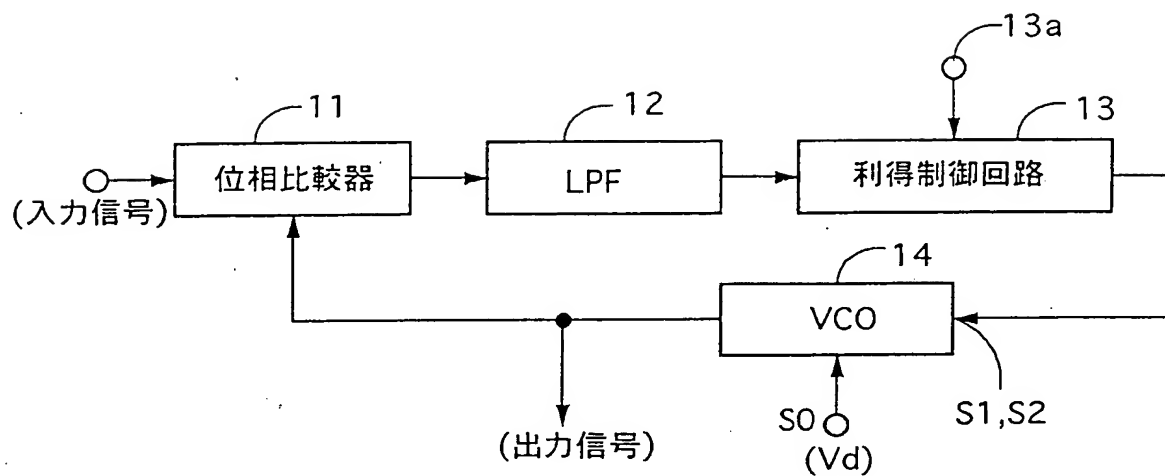
【図 1】



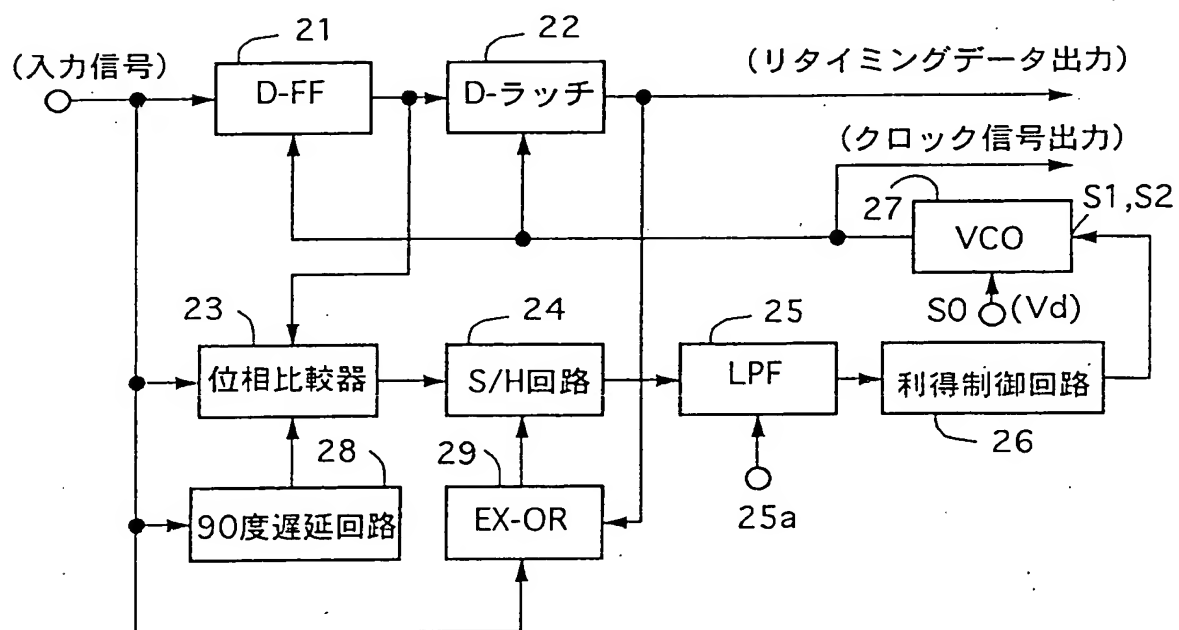
【図 2】



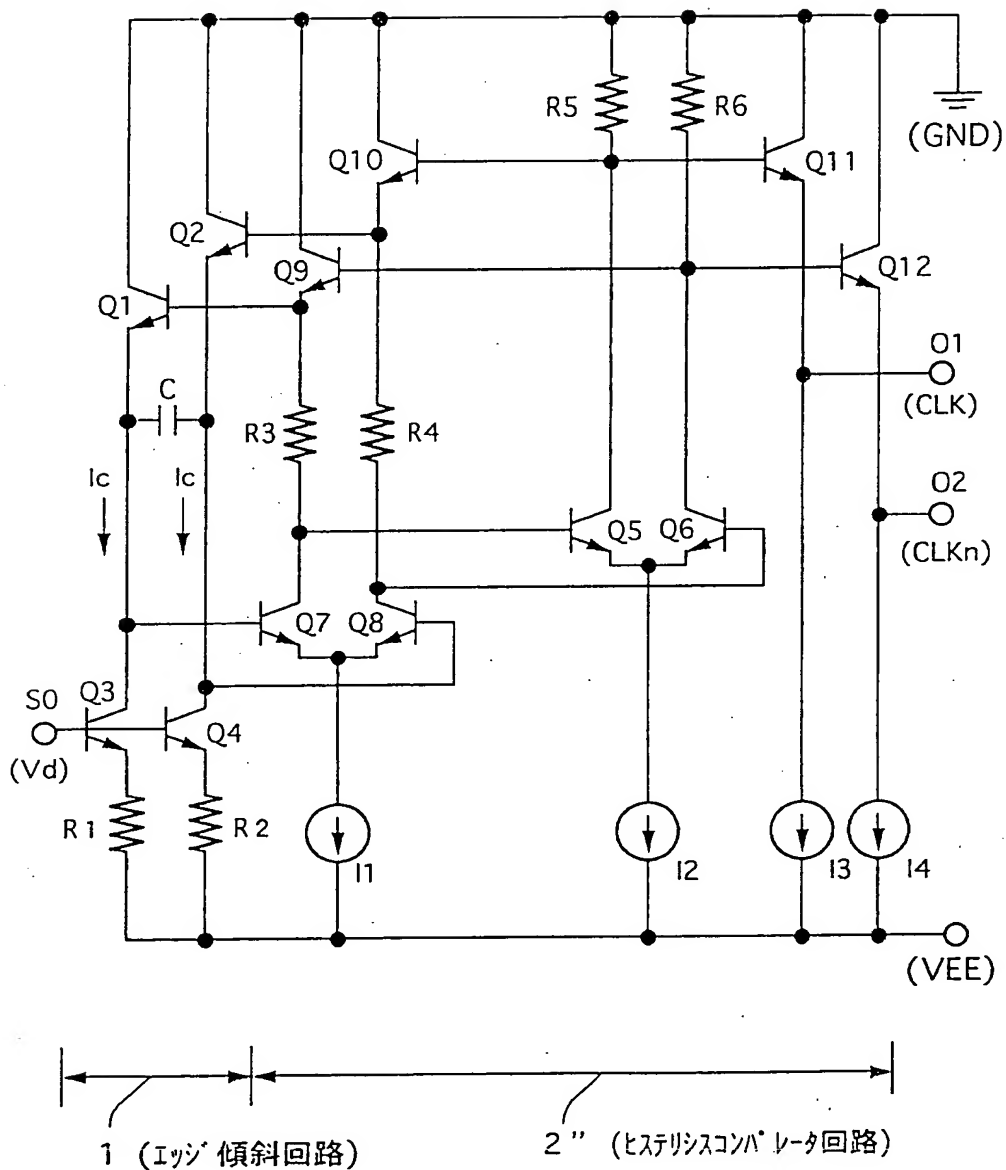
【図 3】



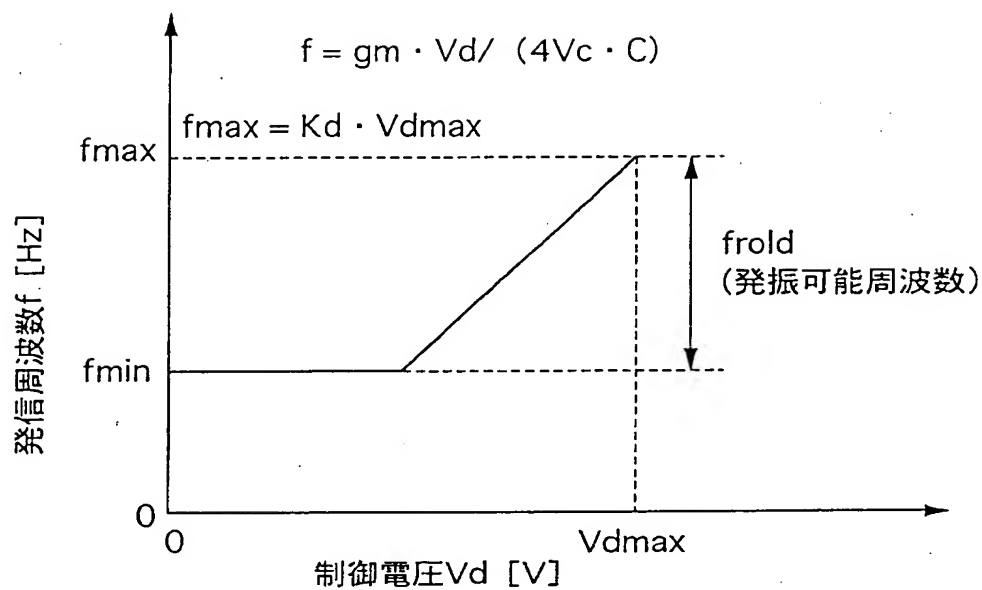
【図 4】



【図 5】

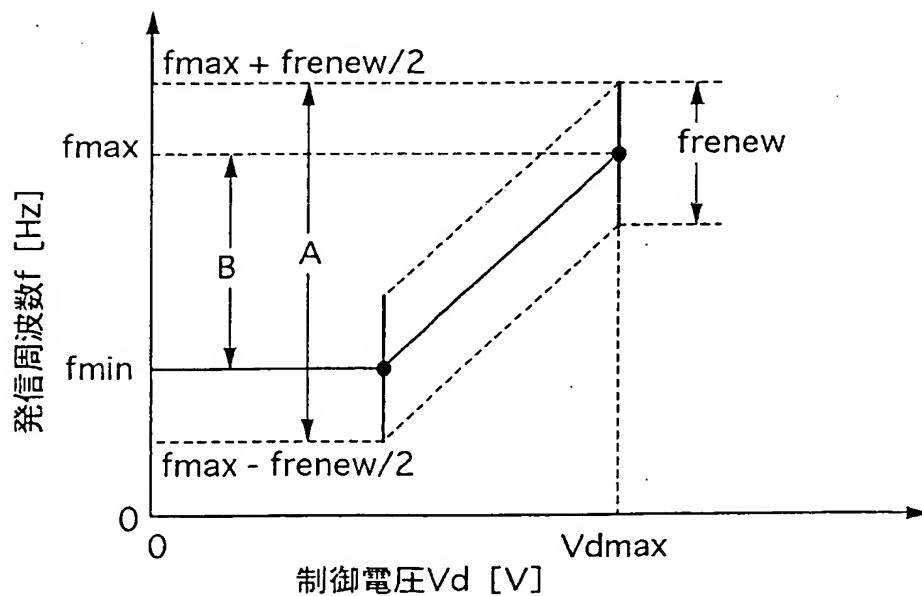


【図 6】



【図 7】

A ; 本発明の発振可範囲
B ; 従来の発振可能範囲(f_{old})
本発明の中心周波数可変範囲



[Document Name]

Specification

[Title of the Invention]

VOLTAGE CONTROL OSCILLATOR AND PLL CIRCUIT

[Claims]

1. A voltage control oscillator for changing an oscillation frequency by a first control signal comprising:

an edge inclined circuit for outputting an input signal with delaying the rise and the fall thereof and enabling to control a charging current of an inner capacity by the first control signal to be inputted from the outside; and

a hysteresis comparator circuit for inputting an output signal of the edge inclined circuit, reproducing the rise and the fall thereof steeply and positive feedbacking it to the edge inclined circuit;

wherein the hysteresis comparator circuit is provided with amplitude controlling means for controlling a signal amplitude by a second control signal to be inputted from the outside, so that an oscillation frequency is capable of being changed even by the second control signal.

2. A voltage control oscillator;
wherein the hysteresis comparator circuit according to claim 1 comprising:

a first differential circuit for inputting an output

signal of the edge inclined circuit;

a second differential circuit for inputting an output signal of the first differential circuit and making the generated output signal into an oscillation output signal;

a feedback circuit for positive feedbacking the output signal of the second differential circuit to the output side of the first differential circuit and the edge inclined circuit; and

a third differential circuit as the amplitude controlling means for controlling the output amplitude of the first differential circuit by the second control signal.

3. A voltage control oscillator;

wherein the hysteresis comparator circuit according to claim 1 comprising:

a first differential circuit for inputting an output signal of the edge inclined circuit;

a second differential circuit for inputting an output signal of the first differential circuit and positive feedbacking the output signal to the output side of the first differential circuit;

a fourth differential circuit for inputting the output signal of the first differential circuit, making the generated output signal into an oscillation output signal and positive feedbacking it to the edge inclined circuit; and

a third differential circuit as the amplitude controlling means for controlling the output amplitude of the first differential circuit by the second control signal.

4. A PLL circuit comprising:

a phase comparator for comparing a phase of an input signal with a phase of an output signal and outputting a signal in association with its phase difference;

a low pass filter for removing a high frequency component from the output signal of the phase comparator; and

a voltage control oscillator for inputting the output voltage of the low pass filter, performing the oscillation operation and inputting the output for the phase comparison;

wherein the voltage control oscillator according to claims 1 to 3 is used as the voltage control oscillator and the output voltage of the low pass filter is inputted in the voltage control oscillator as the second control signal and the first control signal is made into an external input signal.

5. A PLL circuit comprising:

a phase comparator for comparing a phase of an input signal with a phase of an output signal and outputting a signal in association with its phase difference;

a low pass filter for removing a high frequency component from the output signal of the phase comparator; and

a voltage control oscillator for inputting the output voltage of the low pass filter, performing the oscillation operation and inputting the output for the phase comparison;

wherein the voltage control oscillator according to claims 1 to 3 is used as the voltage control oscillator and the output voltage of the low pass filter is inputted in the voltage control oscillator as the first control signal and the second

control signal is made into an external input signal.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FILED TO WHICH THE INVENTION PERTAINS]

The present invention relates to a voltage control oscillator intending to broaden bandwidth in a frequency range capable of oscillating and a PLL (phase locked loop) intending to broaden bandwidth in a capture range by the use of this voltage control oscillator.

[0002]

[PRIOR ART]

FIG. 5 is a circuit diagram for showing a constitution of a conventional voltage control oscillator (hereinafter, referred to as a "VCO circuit"). This VCO circuit is constituted of an edge inclined circuit 1 and a hysteresis comparator circuit 2" and it outputs two phases of oscillation signals CLK and CLK_n from output terminals 01 and 02. The edge inclined circuit 1 is constituted of a transistors Q1 and Q2 for inputting a positive feedback signal, current source transistors Q3 and Q4 for controlling an oscillation frequency, emitter resistances R1 and R2 and a capacity C, so that a collector current (a charging current of the capacity C) is controlled by a control signal (a first control signal) to be applied to a control terminal S0.

[0003]

Alternatively, the hysteresis comparator circuit 2" has a first ECL (an emitter connection logic circuit) differential

pair of transistors Q7 and Q8 for inputting output signals of the transistors Q3 and Q4 of the edge inclined circuit 1 and amplifying these output signals, a second ECL differential pair of transistors Q5 and Q6 for inputting output signals of the first differential pair (Q7, Q8) and amplifying these output signals and transistors Q9 and Q10 for positive feedback for inputting the output signals of the second differential pair (Q5, Q6) and positive feedbacking these output signals to an output side of the first differential pair (Q7, Q8) as well as positive feedbacking these output signals to the transistors Q1 and Q2 of the edge inclined circuit 1. Reference numerals R3 and R4 denote negative resistances of a first differential pair (Q7, Q8) and reference numerals R5 and R6 denote negative resistances of a second differential pair (Q5, Q6). Reference numerals Q11 and Q12 denote transistors for level shifting for shifting a level of a signal to be obtained at the output side of the second differential pair (Q5, Q6) and outputting it to the output terminals 01 and 02 and reference numerals I1 to I4 denote current sources. Alternatively, a power supply voltage at the most significant side is grand (GND) and a power supply voltage at the negative side is VEE.

[0004]

The oscillation frequency of this VCO circuit inclines (elongates) the rise and the fall of a signal, which is inputted from the hysteresis comparator circuit 2" in the transistors Q1 and Q2 of the edge inclined circuit 1, inputs its output signal in the transistors Q7 and Q8 of the hysteresis comparator

circuit 2" so that its edge is made steep to be reproduced and positive feedbacks the output signal which is obtained at the collector of the transistors Q5 and Q6 to a base of the transistors Q1 and Q2 of the edge inclined circuit 1, so that the VCO circuit oscillates the output signal by the above described loop.

[0005]

The oscillation frequency of this VCC circuit is decided by controlling a charging current I_c [A] with respect to the capacity C at a control voltage V_d [V] to be applied to a control terminal S0. An oscillation frequency f [Hz] in a range in proportion to this control voltage V_d is approximately represented by the following formula.

$$f \approx g_m \cdot V_d / (4V_c \cdot C) = K_d \cdot V_d \dots (1)$$

In this case, it is that $K_d = g_m / (4V_c \cdot C)$. Alternatively, "gm" is mutual conductance [A/V] and "Vc" is a constant number, which is decided by an on-voltage of a transistor and a hysteresis amount of the hysteresis comparator circuit 2".

[0006]

The maximum value of an oscillation frequency f of this VCO circuit is decided by the maximum value of the control voltage V_d . In this case, supposing that the maximum value of the control voltage V_d is V_{dmax} , the maximum oscillation frequency f_{max} [Hz] of the VCO circuit is obtained as follows.

$$f_{max} = K_d \cdot V_{dmax} \dots (2)$$

On the other hand, if the control voltage V_d becomes sufficiently small, the transistors Q7 and Q8 only serve as the

current pass of the charging current I_c , so that the oscillation frequency f in this case takes a constant value without depending on the control voltage V_d and its oscillation frequency becomes f_{min} .

[0007]

FIG. 6 shows a conversion gain property in the above described VCO circuit. In FIG. 6, a frequency range capable of oscillating f_{old} [Hz] and a center frequency f_{cent} [Hz] of the VCO circuit are indicated as follows.

$$f_{old} = K_d \cdot V_{dmax} - f_{min} \dots (3)$$

$$f_{cent} = (K_d \cdot V_{dmax} + f_{min})/2 \dots (4)$$

From the above formulas, the frequency range capable of oscillating of the VCO circuit becomes a range which is decided by the formula (3) centering on a frequency decided by the formula (4).

[0008]

[TASK TO BE SOLVED BY THE INVENTION]

As described above, according to the conventional VCO circuit, it is not possible to oscillate the signal in a range other than a frequency range to be decided in a variable range of the control voltage V_d . Therefore, the conventional VCO circuit involves a problem such that the variable oscillation range is limited by the variable range of the control voltage V_d .

[0009]

Alternatively, a PLL circuit having a VCO circuit as one constitutional element thereof cannot perform the retracting

operation in a frequency range capable of oscillating other than the oscillation frequency range of the VCO circuit. In this case, in the case of applying the conventional VCO circuit to the PLL circuit, a direct current output signal of the low pass filter is inputted in this VCO circuit as a control voltage V_d . However, the retracting center frequency of the PLL circuit and the capture range are not available in a range other than a frequency range to be decided by the formulas (3) and (4). In other words, the conventional VCO circuit involves a problem such that, when this VCO circuit is applied to the PLL circuit, it cannot be synchronized with an input signal having a frequency in a range other than the oscillating range (f_{old}) shown in FIG. 6.

[0010]

The present invention has been made taking the foregoing problems into consideration, an object of which is to provide a voltage control oscillator intending to broaden bandwidth in a frequency range capable of oscillating and a PLL circuit intending to broaden bandwidth in a capture range by the use of this voltage control oscillator.

[0011]

[SOLUTION FOR THE TASK]

In order to attain the above described purpose, a first invention comprises a voltage control oscillator for changing an oscillation frequency by a first control signal comprising: an edge inclined circuit for outputting an input signal with delaying the rise and the fall thereof and enabling to control

a charging current of an inner capacity by the first control signal to be inputted from the outside; and a hysteresis comparator circuit for inputting an output signal of the edge inclined circuit, reproducing the rise and the fall thereof steeply and positive feedbacking it to the edge inclined circuit; wherein the hysteresis comparator circuit is provided with amplitude controlling means for controlling a signal amplitude by a second control signal to be inputted from the outside, so that an oscillation frequency is capable of being changed even by the second control signal.

In view of the first invention, a second invention comprises a voltage control oscillator; wherein the hysteresis comparator circuit according to claim 1 comprising: a first differential circuit for inputting an output signal of the edge inclined circuit; a second differential circuit for inputting an output signal of the first differential circuit and making the generated output signal into an oscillation output signal; a feedback circuit for positive feedbacking the output signal of the second differential circuit to the output side of the first differential circuit and the edge inclined circuit; and a third differential circuit as the amplitude controlling means for controlling the output amplitude of the first differential circuit by the second control signal.

In view of the first invention, according to a third invention, the hysteresis comparator circuit according to claim 1 comprises a first differential circuit for inputting an output signal of the edge inclined circuit; a second differential

circuit for inputting an output signal of the first differential circuit and positive feedbacking the output signal to the output side of the first differential circuit; a fourth differential circuit for inputting the output signal of the first differential circuit, making the generated output signal into an oscillation output signal and positive feedbacking it to the edge inclined circuit; and a third differential circuit as the amplitude controlling means for controlling the output amplitude of the first differential circuit by the second control signal.

A fourth invention comprises a PLL circuit comprising: a phase comparator for comparing a phase of an input signal with a phase of an output signal and outputting a signal in association with its phase difference; a low pass filter for removing a high frequency component from the output signal of the phase comparator; and a voltage control oscillator for inputting the output voltage of the low pass filter, performing the oscillation operation and inputting the output for the phase comparison; wherein the voltage control oscillator according to claims 1 to 3 is used as the voltage control oscillator and the output voltage of the low pass filter is inputted in the voltage control oscillator as the second control signal and the first control signal is made into an external input signal.

A fifth invention comprises a PLL circuit comprising: a phase comparator for comparing a phase of an input signal with a phase of an output signal and outputting a signal in association with its phase difference; a low pass filter for

removing a high frequency component from the output signal of the phase comparator; and a voltage control oscillator for inputting the output voltage of the low pass filter, performing the oscillation operation and inputting the output for the phase comparison; wherein the voltage control oscillator according to claims 1 to 3 is used as the voltage control oscillator and the output voltage of the low pass filter is inputted in the voltage control oscillator as the second control signal and the second control signal is made into an external input signal.

[0012]

[MODE FOR CARRYING OUT THE INVENTION]

[A first embodiment]

FIG. 1 shows a constitution of a VCO circuit according to a first embodiment of the present invention. In FIG. 1, the same or similar reference numerals are applied to the same or similar parts and elements in FIG. 5. In the present embodiment, transistors Q13 and Q14 comprising a third ECL differential pair are provided, transistors Q15 and Q16 comprising a fifth ECL differential pair are connected to a collector side of the transistor Q13 as one of the transistors Q13 and Q14 and transistors Q17 and Q18 comprising a sixth ECL differential pair are connected to a collector side of the transistor Q14 as another one of the transistors Q13 and Q14. Alternatively, resistances R7 and R8 are connected in series to the resistances R3 and R4 between the emitter of the transistors Q9 and Q10 for positive feedback and the collector of the transistors Q7 and Q8 comprising the first ECL differential pair and a common

connection point of resistances R3 and R7 and a common connection point of resistances R4 and R8 are connected to a collector of the transistors Q16 and Q15, respectively. Additionally, the bases of these transistors Q15 and Q17 are connected to the collector of the transistor Q7 and the bases of these transistors Q16 and Q18 are connected to the collector of the transistor Q8, respectively. In FIG. 1, reference numerals S1 and S2 denote control terminals.

[0013]

In this circuit, by controlling the base electric potential of the transistors Q13 and Q14 comprising the third ECL differential pair, namely, control voltages (a second control signal) V1pf and V1pfn (V1pfn is a turn over voltage of a voltage V1pf) of the control terminals S1 and S2, amplitudes of voltages to be generated between the resistances R3 and R7 and between the resistances R4 and R8 in a hysteresis comparator circuit 2 are controlled, so that time for the rise and the fall of the signals in the hysteresis comparator circuit 2 is changed and the delay is controlled.

[0014]

In this way, according to the present embodiment, it is possible to change the circuit delay of the hysteresis comparator circuit 2 from the outside, so that it is possible to control time to input the input signal from the edge inclined circuit 1 in the edge inclined circuit 1 again (namely, time until the feedback is performed). Accordingly, not only in the case of the control voltage Vd (a first control signal) but also

in the case of the control voltages V_{lpf} , V_{lpfh} (a second control signal), the oscillation frequency control is available. In this case, if the control voltage V_{lpf} is increased (namely, the V_{lpfh} is decreased), the output voltage amplitudes of the transistors Q7 and Q8 are increased, so that the delay is also increased and the oscillation frequency is lowered. If the control voltage V_{lpf} is decreased, the oscillation frequency is heightened adversely.

[0015]

FIG. 7 shows a property of an oscillation frequency in the VCO circuit shown in FIG. 1. Supposing a range of the frequency, which can be controlled by the above control voltages V_{lpf} and V_{lpfn} , as f_{renew} [Hz], it is possible to realize a VCO circuit, in which a center frequency is a frequency within the oscillation frequency range f_{old} of the VCO circuit shown in FIG. 5 and which is capable of oscillating to the range of f_{renew} . In other words, the frequency range has been substantially enlarged by the frequency range of f_{renew} .

[0016]

[A second embodiment]

FIG. 2 shows a constitution of a VCO circuit according to a second embodiment of the present invention. Comparing the VCO circuit shown in FIG. 1, the transistors Q9 and Q10 for positive feedback are deleted in this hysteresis comparator circuit 2', so that the operation at a lower voltage becomes possible. In FIG. 2, transistors Q19 and Q20 are emitter followers for transmitting signals generated at the first

differential pair (Q7, Q8) to a fourth ECL differential pair of transistors Q21 and Q22. Resistances R9 and R10 correspond to the resistances R7 and R8 and resistances R11 and R12 are negative resistances of the forth differential pair (Q21, Q22). The output signal of the forth differential pair is outputted to a level shift circuit (Q11, Q12) and then, it is feed backed to the edge inclined circuit 1 as a positive feedback voltage. [0017]

In this way, the second embodiment is constituted in such a manner that a route for positive feedbacking the output signal of the second differential pair (Q5, Q6) to the first differential pair (Q7, Q8) (namely, a main body of the hysteresis comparator circuit) and a route for outputting the output signal of the first differential pair (Q7, Q8) as an oscillation signal as well as positive feedbacking it to the edge inclined circuit 1 are separately provided, so that the transistors Q9 and Q10 for positive feedback, which are required in FIG. 1, become useless. Alternatively, according to the second embodiment, it is possible to enlarge the oscillation frequency range as same as the VCO circuit shown in FIG. 1. [0018]

As a result, a power supply voltage of $2V_{be}$ (V_{be} is a voltage between a base and an emitter of a transistor) is also available in the VCO circuit, although $3V_{be}$ is required in the VCO circuit shown in FIG. 1 as a power supply voltage. Therefore, it is possible to lower the power supply voltage by $1V_{be}$. Specifically, this reduced voltage is about 0.9V.

[0019]

[A third embodiment]

FIG. 3 shows a constitution of a PLL circuit according to a third embodiment of the present invention. In FIG. 3, a reference numeral 11 denotes a phase comparator for comparing a phase of the input signal (a repeat pattern of 0, 1 (a clock signal or the like) and a phase of the output signal and outputting a signal in association with this phase difference, a reference numeral 12 denotes a low pass filter for removing a high frequency component from a signal to be outputted from the phase comparator 11, a reference numeral 13 denotes a gain control circuit for controlling the gain (namely, the loop gain) of the output signal of this low pass filter 12 from the outside and a reference numeral 14 denotes a VCO circuit.

[0020]

According to the present embodiment, as this VCO circuit 14, the above described VCO circuit shown in FIGS. 1 and 2 is used. By providing the control voltage V_d as the first control signal to the control terminal S0 from the outside, it is possible to broaden bandwidth in the capture range by setting a self-oscillating frequency of the PLL circuit in the vicinity of the frequency of the input signal and inputting the two phases of the output signals V_{lpf} and V_{lpfn} of the low pass filter 12 to the control terminals S1 and S2 as the second control signal through the gain control circuit 13. In other words, the self-oscillating frequency is variable by the frequency range capable of oscillating of the VCO circuit shown in FIG. 6 and

further, the retracting operation becomes possible by the oscillation frequency variable bandwidth by a circuit, which is newly added in FIGS. 1 and 2. In this case, if the VCO circuit according to the second embodiment is used, a PLL circuit at further lower power supply voltage is capable of being realized.

[0021]

Alternatively, in the present embodiment, the gain control circuit 13 is inserted for jitter control (particularly, jitter transfer). In the case of controlling the jitter property of the PLL circuit from the outside, such a gain control circuit becomes necessary. A reference numeral 13a denotes a control terminal.

[0022]

FIG. 4 shows a constitution of a PLL circuit according to other embodiment. In FIG. 4, a reference numeral 21 denotes a DFF circuit for taking in an input signal (data), a reference numeral 22 denotes a D latch circuit for retiming, a reference numeral 23 denotes a phase comparator for comparing a phase of an input signal with a phase of an output signal of the DFF circuit 21, a reference numeral 24 denotes a sample and hold circuit, a reference numeral 25 denotes a low pass filter, a reference numeral 26 denotes a gain control circuit for adjusting loop gain, a reference numeral 27 denotes a VCO circuit, a reference numeral 28 denotes a 90 degrees' delay circuit and a reference numeral 29 denotes an EXOR circuit.

[0023]

In this circuit, as an input signal, the random data (a

PN pattern or the like) are inputted. A clock signal is extracted from the inputted random data and by the use of this clock signal, this circuit performs retiming of the input signal (ref. N. Ishihara, et al.: "A Monolithic 156Mb/t Clock and Data Recovery PLL Circuit Using the Sample and-Hold Technique", IEEE J. SC vol. 29, No. 12, Dec. 1994, pp.1566 - 1571).

[0024]

Additionally, according to the above described constitutions shown in FIGS. 3 and 4, contrary to the above explanation, it is also possible that the outputs of the gain control circuits 13 and 26 are inputted in the control terminal S0 of the VCO circuits 14 and 27 as the first control signal and the control voltage from the outside is inputted in the control terminals S1 and S2 and the second control signal.

[0025]

[EFFECT OF THE INVENTION]

As described above, according to the first to third inventions, other than controlling the edge inclined circuit by the first control signal to control the oscillation frequency, it is possible to control the oscillation frequency by controlling the signal bandwidth of the hysteresis comparator circuit, so that the bandwidth of the frequency variable range is capable of being broadened. Alternatively, according to the third invention, the power supply voltage is capable of being lowered. Further, according to the fourth and fifth inventions, it is possible to broaden the bandwidth in the capture range of the PLL circuit.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1]

FIG. 1 is a circuit diagram of a voltage control oscillation circuit according to a first embodiment of the present invention.

[Fig. 2]

FIG. 2 is a circuit diagram of a voltage control oscillation circuit according to a second embodiment of the present invention.

[Fig. 3]

FIG. 3 is a circuit diagram according to a PLL circuit according to a third embodiment of the present invention.

[Fig. 4]

FIG. 4 is a circuit diagram of a PLL circuit according to a modified embodiment of the present invention.

[Fig. 5]

FIG. 5 is a circuit diagram of a conventional voltage control oscillation circuit.

[Fig. 6]

FIG. 6 is an oscillation property diagram of a voltage control oscillation circuit shown in FIG. 5.

[Fig. 7]

FIG. 7 is an oscillation property diagram of a voltage control oscillation circuit according to the first and second embodiments.

[EXPLANATION OF REFERENCE NUMERALS]

1: edge inclined circuit

2, 2', 2'': hysteresis comparator circuit

[Document Name]

Abstract

[Abstract]

[Task]

To enlarge an oscillation frequency range of a VCO circuit.

[Solution]

In a VCO circuit, which is comprised of an edge inclined circuit 1 to be applied with a first control signal V_d and a hysteresis comparator circuit 2, a portion for controlling an output signal amplitude of a first differential pair (Q7, Q8) of the hysteresis comparator circuit 2 (Q13 to Q18, R7, R8) is provided and a second control signal (V_{lpf} , V_{lpfn}) controls this portion.

[Selected Drawing] FIG. 1

図説

FIG. 1

- 1: (edge inclined circuit)
- 2: (hysteresis comparator circuit)

FIG. 2

- 1: (edge inclined circuit)
- 2': (hysteresis comparator circuit)

FIG. 3

- 11: phase comparator
- 13: gain control circuit
- (input signal)
- (output signal)

FIG. 4

- 22: D-latch
- 23: phase comparator
- 24: S/H circuit
- 26: gain control circuit
- 28: 90 degrees' delay circuit
- (input signal)
- (retiming data output)
- (clock signal output)

FIG. 5

- 1: (edge inclined circuit)

2'': (hysteresis comparator circuit)

FIG. 6

Oscillation frequency f [Hz]

frold (frequency capable of being oscillated)

control voltage V_d [V]

FIG. 7

A: frequency range capable of oscillating according to the present invention

B: conventional frequency range capable of oscillating (frold)

Center frequency variable range according to the present invention

Oscillation frequency f [Hz]

control voltage V_d [V]